

“米皮”香不香？“拌”它就完事了

MIPI 全称移动产业处理器接口(Mobile Industry Processor Interface)属于非盈利性组织，关注于开发软硬件标准以满足移动终端的特殊需求。目前将近 150 个成员或公司已经积极加入 MIPI 组织，Board Member 包括 ARM, Nokia, ST, TI, Intel, Motorola, Samsung, Philips, Toshiba。

MIPI 的目标即是通过推动处理器与外设接口的一致性达到简化软硬件的设计与应用的目的，提高移动设备的可重用性与可兼容性。MIPI 为移动设备内的标准硬件和软件接口提供了规范。改善了不同元器件厂商生产的元器件之间的互操作能力，减少了集成工作，加快了移动终端的产品开发周期。

MIPI 技术发展趋势

MIPI 致力于打造移动产品和汽车电子中的信号互联，在移动产品中深耕多年，尤其是视频流数据传输方面，应用非常广泛。

MIPI 联盟标准中有四种物理层标准，分别是 D-PHY、C-PHY、M-PHY 和 A-PHY。

D-PHY 是 MIPI 开发的第一个标准，D-PHY 主要用于显示接口 DSI(Display Serial Interface)和摄像头接口 CSI(Camera Serial

Interface)的视频流数据传输。D-PHY 是当今智能手机中应用最广泛的视频流接口，也是最广为人知的 MIPI 标准。

M-PHY 是家族的第二个成员，M-PHY 主要用于数据传输，目前最常用的应用场景是 UFS(UniversalFast Storage)。

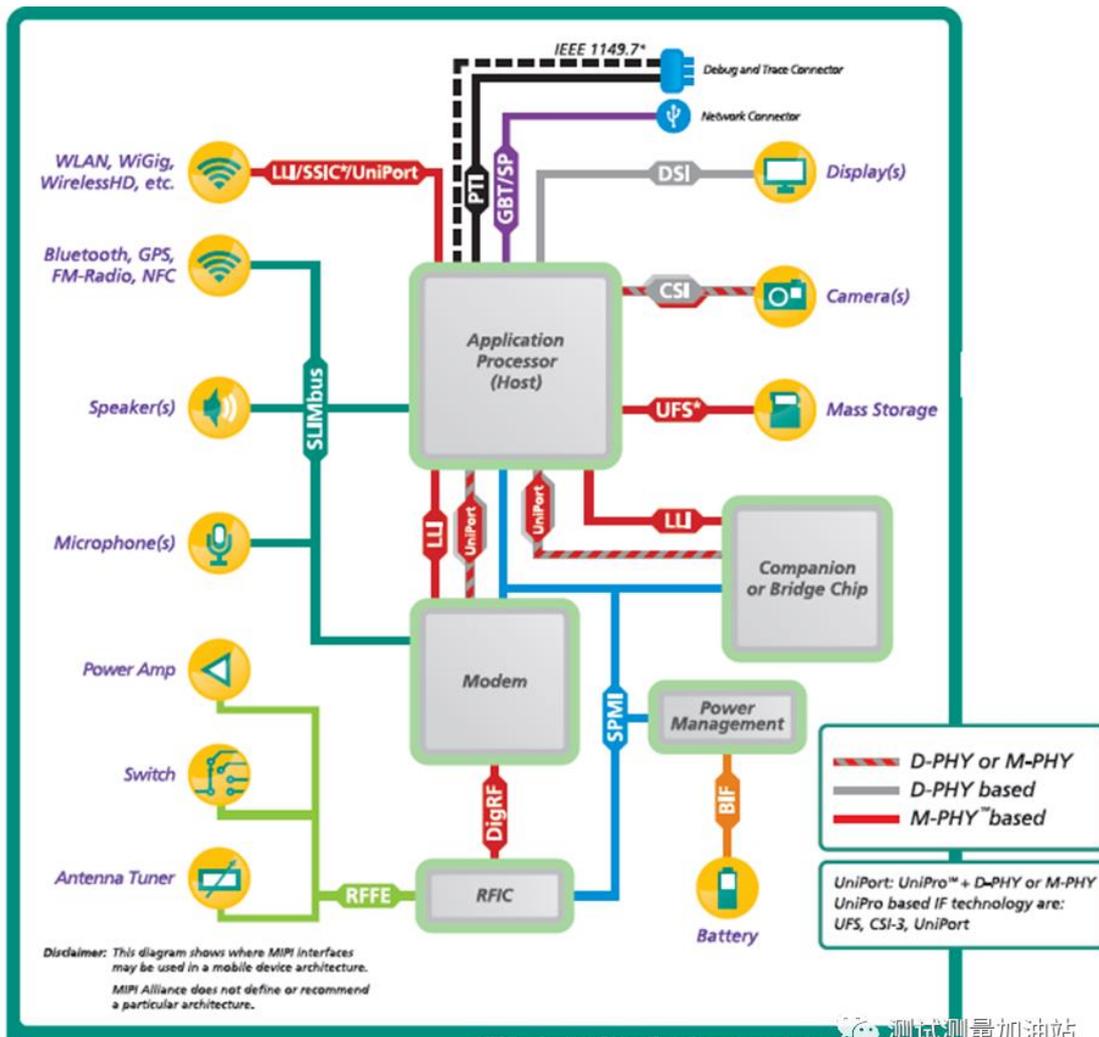
C-PHY 是 D-PHY 的改良版，其应用场景和 D-PHY 完全相同。C-PHY 的信号特性和 D-PHY 有很多相似的地方，但在编码方面更加精巧，数据传输效率更高。从目前的市场来看，C-PHY 似乎推广并不是很好，可能用 D-PHY 就可以很好的实现视频流传输了。

A-PHY 是 MIPI 联盟最近宣布采用最新版本的汽车串行器-解串器 (SerDes) 物理层接口，是为车载应用定制的高速标准。其实在这之前 MIPI 已经有了整套的通信协议在 Camera 和 Display 领域中大量使用 D-PHY、C-PHY、M-PHY 进行大数据量的物理传输，但是这个几个物理层协议都无法进行较长距离的传输，A-PHY 的设计是为了能跨过整个车辆距离提供数据传输物理层支持。其最大传输距离能够达到 15 米，而最大传输速度未来能达到甚至超过 48Gbps 远远超过 LVDS 的 1.5Gbps。A-PHY 将帮助汽车行业加速高级驾驶员辅助系统(ADAS)，自动驾驶系统和汽车环视系统的性能。

特性	D-PHY	C-PHY	M-PHY	A-PHY
应用场景	高效、低引脚数、节能的视频流传输	高效、低引脚数、节能的视频流传输	性能驱动的数据传输，兼顾节能需求	为车载应用定制的高速标准
时钟模式	低速的反向数据传输通道 全局时钟, DDR, 源同步	低速的反向数据传输通道 无时钟/嵌入式时钟	双向高速数据传输 无时钟/嵌入式时钟	低线数, PAM-n调制方式 无时钟/嵌入式时钟
Min. 引脚数/线数	1 Lane Data 1 Lane Clock (共4线)	1 Lane Trio(三线架构)	每个方向至少各1 lane 最少需要2 lane(共4线)	C-Port 1线 D-Port 2线 (1差分对) Q-Port 4线 (2差分对)
Data Rate(HS)	Up to 4.5Gbps: V1.1: 1.5Gbps V1.2: 2.5Gbps V2.1/2.5: 4.5Gbps V3.0: 6/9/11Gbps (Jul.2021)	Up to 8G Symbol/s: V1.0: 2.5GSps V1.2: 4.5GSps V2.0/2.1: 4/6/8GSps	Up to 23.3Gbps: G1: 1.25/1.45Gbps G2: 2.5/2.9Gbps G3: 5.0/5.8Gbps G4: 10/11.6Gbps G5: 20/23.3Gbps	Up to 16Gbps: G1: 2Gbps G2: 4Gbps G3: 4GBaud PAM4 (8Gbps NRZ optional) G4: 4GBaud PAM4 G5: 4GBaud PAM16

MIPI D-PHY 基础

DPHY 总线包含了显示与摄像头的 DSI 与 CSI 总线。D-PHY 不同于许多现有的移动接口，可以在差分模式(高速)和单端模式(低功率)之间实时切换，具体视需要传送大量的数据，还是需要节约功率。D-PHY 接口能够以单工或双工配置操作，支持一条数据通路或多条数据通路，可以灵活地提供所需链路。D-PHY 采用 1 对源同步的差分时钟和 1~4 对差分数据线来进行数据传输。数据传输采用 DDR 方式，即在时钟的上下边沿都有数据传输。



什么是 D-PHY ?

物理层标准：Camera CSI 接口和显示屏 DSI 接口的规范。

两种传输模式：高速(HS)和 低功耗(LP)，HS 模式下采用低压差分信号，功耗较大，但可以传输很高的数据速率，可支持 100mV 至 300mV 的电压范围；LP 模式下采用单端信号，数据速率很低，功耗低，支持 0V 至 1.2V 信号电平。两种模式的结合保证了 MIPI 总线既可在需要

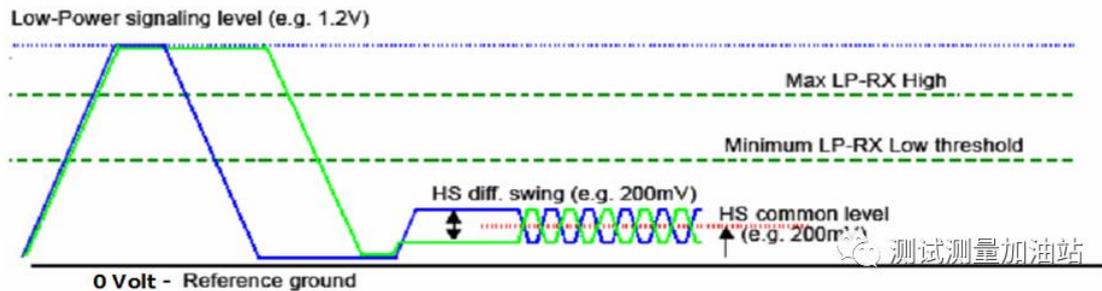
传输大量数据时高速传输，也可在不需要大数据量传输时处于低速模式能够减少功耗。

传输模式在实际应用中混合交替：信号不断在 LP 和 HS 之间切换；

最高数据率：High Speed 模式: 80Mbps to 4.5Gbps ;Low Power 模式: Up to 10Mbps。

总线端接：50 欧姆，高速 HS 模式；

Hi-Z 高阻，低速 LP 模式。

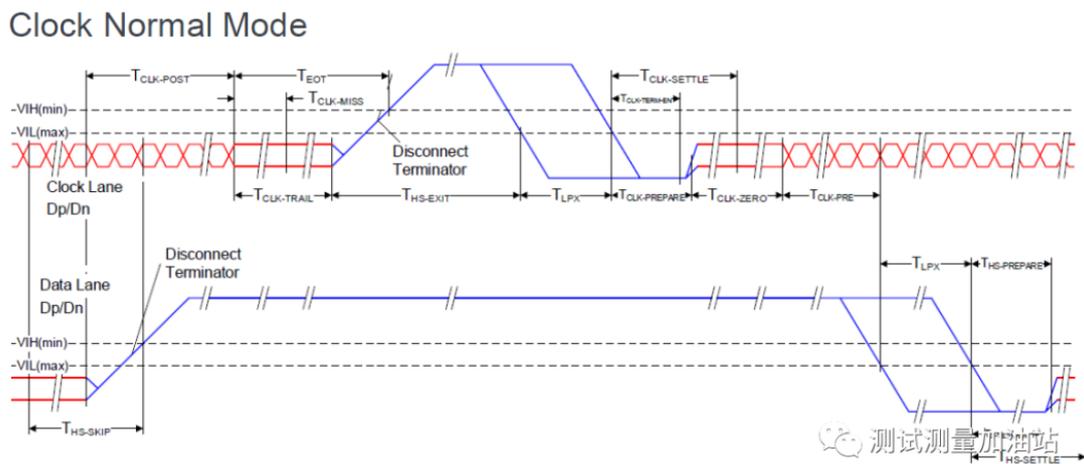
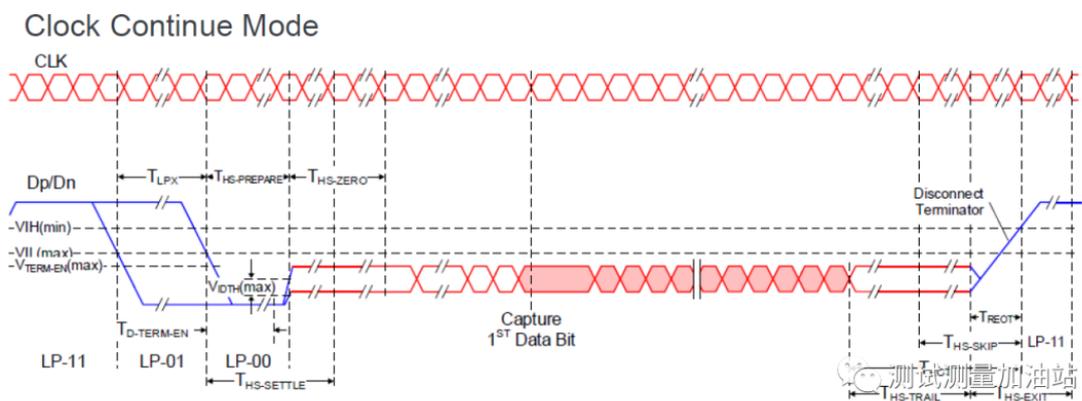


MIPI D-PHY 时序

1. 工作时，LP 和 HS 模式交替出现；LP 和 HS 电平不同，端接电阻不同，data rate 不同；
2. LP 主要作用是节能，空闲时 D-PHY 会稳定处于 LP11，恒压状态下功耗极低；HS 的主要作用是数据传输，使用差分低电压的方式传输信号，使用 Double Data Rate 的方式(Data: Clock=2:1)；

3. LP 状态下 Data+和 Data-可以是相同的逻辑状态，比如从 LP 到 HS，会经历 LP11 -> LP01 -> LP00 这三种状态，LP11 时 Data+和 Data-都处于高电平，LP00 时都处于低电平。

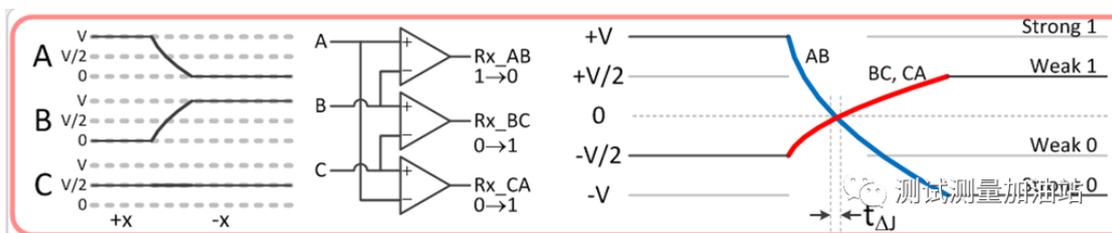
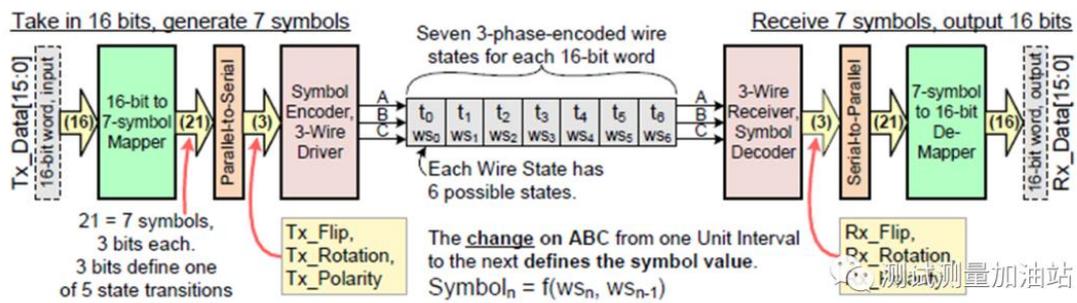
4. Clock 有两种不同的配置:Continuous 和 Normal, 前者设计更简单, 后者更节能。

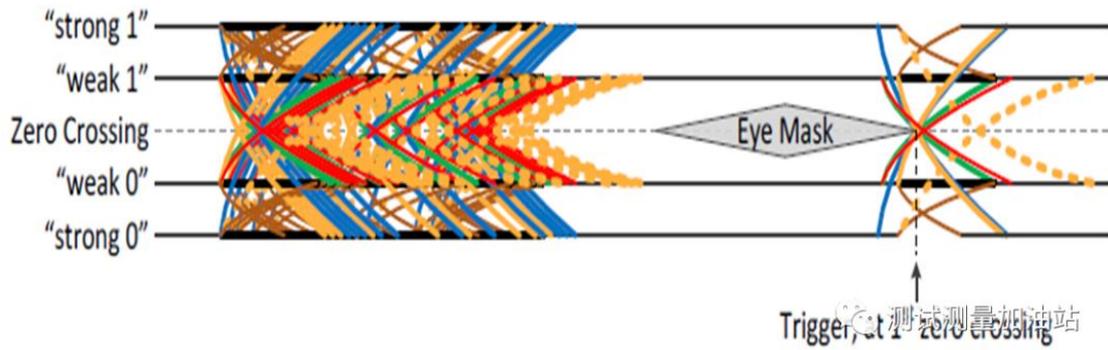


什么是 C-PHY?

C-PHY 发送端有 High、Mid、Low 三种信号电压高度，接收端计算 AB、BC、CA 间的差值做解码，同时恢复时钟，C-PHY 有 5 种状态转移的可能。与 D-PHY 以 0、1 的电平表示编码不同，C-PHY 用状态的跳转表示编码，每个符号可编码的数据为 $\log_2 5 = 2.3219 \text{ bit/sym}$ ，理论上的带宽是 D-PHY 的 2.3219 倍，编码效率大大提升。

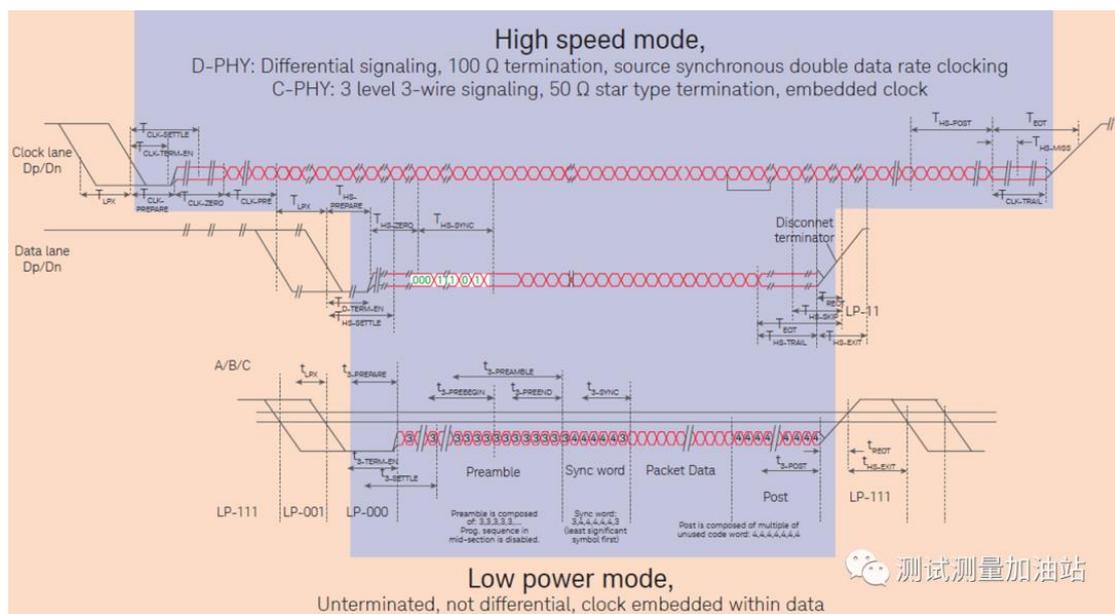
Wire State	Wire Amplitude			Receiver diff input voltage			Receiver digital output		
	A	B	C	A - B	B - C	C - A	Rx_AB	Rx_BC	Rx_CA
+x	$\frac{3}{4} V$	$\frac{1}{4} V$	$\frac{1}{2} V$	$+\frac{1}{2} V$	$-\frac{1}{4} V$	$-\frac{1}{4} V$	1	0	0
-x	$\frac{1}{4} V$	$\frac{3}{4} V$	$\frac{1}{2} V$	$-\frac{1}{2} V$	$+\frac{1}{4} V$	$+\frac{1}{4} V$	0	1	1
+y	$\frac{1}{2} V$	$\frac{3}{4} V$	$\frac{1}{4} V$	$-\frac{1}{4} V$	$+\frac{1}{2} V$	$-\frac{1}{4} V$	0	1	0
-y	$\frac{1}{2} V$	$\frac{1}{4} V$	$\frac{3}{4} V$	$+\frac{1}{4} V$	$-\frac{1}{2} V$	$+\frac{1}{4} V$	1	0	1
+z	$\frac{1}{4} V$	$\frac{1}{2} V$	$\frac{3}{4} V$	$-\frac{1}{4} V$	$-\frac{1}{4} V$	$+\frac{1}{2} V$	0	0	1
-z	$\frac{3}{4} V$	$\frac{1}{2} V$	$\frac{1}{4} V$	$+\frac{1}{4} V$	$+\frac{1}{4} V$	$-\frac{1}{2} V$	1	1	0





MIPI D-PHY 和 C-PHY 时序比较

D-PHY 是源同步系统，有同步时钟通道，C-PHY 没有同步时钟，时钟是嵌入数据当中。D-PHY 和 C-PHY 的物理层结构是不同的，从线路上看，CPHY 是 A、B、C 三线系统。由于 MIPI CPHY 不传输时钟，需要 CDR 先恢复时钟，然后再用恢复的时钟去采样数据并寻找同步头。



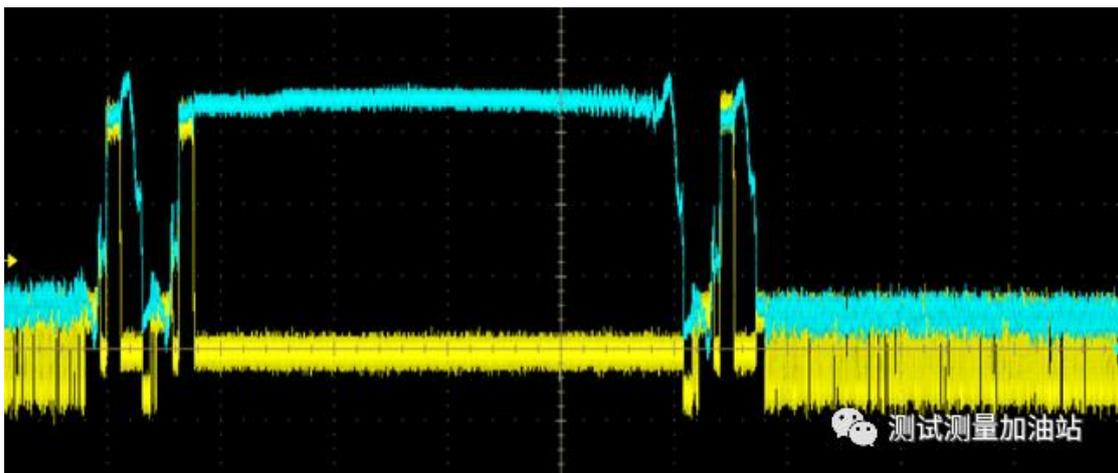
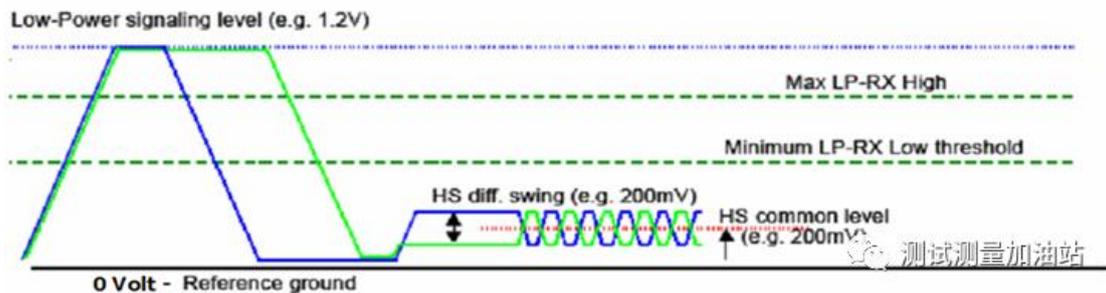
MIPI D-PHY 测试挑战

MIPI D-PHY 总线工作于 LP 与 HS 两种工作状态：

LP(Low Power)状态 :工作速率最高不超过 10Mbps, 信号摆幅 1.2V, 端接阻抗为高阻；

HS (High Speed) 状态：工作速率从 80Mbps 到 4.5Gbps, 信号摆幅 200mV, 端接阻抗为 50 欧姆。

由于信号摆幅的差异, 使得 D-PHY 信号测试所需的动态范围较高, 并且其对噪声的容限较低, 在实际的测试中信号质量可能不会太理想, 见下图。



MIPI 信号测试难点

1. CTS 测量项繁多: 64 for D-PHY, 41 for C-PHY
2. HS 和 LP 两种完全不同的工作模式下的信号完整性和相应时序
3. 使用探头焊接的方式测量
4. 测量精度：使用可靠的算法筛选出特定波形并进行精确测量
5. 被测波形有时候很差
6. 自动检测跳变沿，测量项目
7. 最小化探头的负载效应
8. 板子密度越来越高，测试点很难焊接
9. 自动测试设置，适应 HS 和 LP 模式

MIPI D-PHY 解码

在实际调试工程中，工程师通常需要找到设备不正常工作的原因，不仅需要 D-PHY 物理层信号的一致性测试，还需要对 D-PHY 信号的串行触发与解码功能，下面是 D-PHY 信号的解码、同步与错误告警以及协议事件列表导出功能，为 DPHY 信号的开发与调试提供了极大的便利。

Measurements	Both High Speed and Low Power modes, including ULPS and BTA.
Group 1 tests	Data lane LP-TX signaling
1.1.1	Data lane LP-TX Thevenin output high level voltage (VOH)
1.1.2	Data lane LP-TX Thevenin output low level voltage (VOL)
1.1.3	Data lane rise time
1.1.4	Data lane fall time
1.1.5	Data lane LP-TX slew rate versus CLOAD ($\partial V/\partial tSR$)
1.1.6	Data lane LP-TX pulse width of exclusive-OR clock (TLP-PULSE-TX)
1.1.7	Data lane LP-TX period of exclusive-OR clock (TLP-PER-TX)
Group 2 tests	Clock lane LP-TX signaling
1.2.1	Clock lane LP-TX Thevenin output high level voltage (VOH)
1.2.2	Clock lane LP-TX Thevenin output low level voltage (VOL)
1.2.3	Clock lane rise time
1.2.4	Clock lane fall time
1.2.5	Clock lane LP-TX slew rate vs. CLOAD ($\partial V/\partial tSR$)
Group 3 tests	Data lane HS-TX signaling
1.3.1	Data lane HS entry: data lane TLPX value
1.3.2	Data lane HS entry: THS-PREPARE value
1.3.3	Data lane HS entry: THS-PREPARE + THS-ZERO value
1.3.4	Data lane HS-TX differential voltages (VOD{0}, VOD{1})
1.3.5	Data lane HS-TX differential voltage mismatch (ΔVOD)
1.3.6	Data lane HS-TX single ended output high voltages (VOHHS{DP}, VOHHS{DN})
1.3.7	Data lane HS-TX common-mode voltages (VCMTX{1}, VCMTX{0})
1.3.8	Data lane HS-TX common-mode voltage mismatch ($\Delta VCMTX\{1,0\}$)
1.3.9	Data lane HS-TX dynamic common-level variations between 50-450 MHz ($\Delta VCMTX\{LF\}$)
1.3.10	Data lane HS-TX dynamic common-level variations above 450 MHz ($\Delta VCMTX\{HF\}$)
1.3.11	Data lane HS-TX 20%-80% rise time (tR)
1.3.12	Data lane HS-TX 80%-20% fall time (tF)
1.3.13	Data lane HS exit: THS-TRAIL value
1.3.14	Data lane HS exit: 30%-80% Post-EoT rise time (TREOT) value
1.3.15	Data lane HS exit: TEOT value
1.3.16	Data lane HS exit: THS-EXIT value
Group 4 tests	Clock lane HS-TX signaling
1.4.1	Clock lane HS entry: TLPX value
1.4.2	Clock lane HS entry: TCLK-PREPARE value
1.4.3	Clock lane HS entry: TCLK-PREPARE + TZERO value
1.4.4	Clock lane HS-TX differential voltages (VOD{0}, VOD{1})
1.4.5	Clock lane HS-TX differential voltage mismatch (ΔVOD)
1.4.6	Clock lane HS-TX single ended output high voltages (VOHHS{DP}, VOHHS{DN})
1.4.7	Clock lane HS-TX common-mode voltages (VCMTX{1}, VCMTX{0})

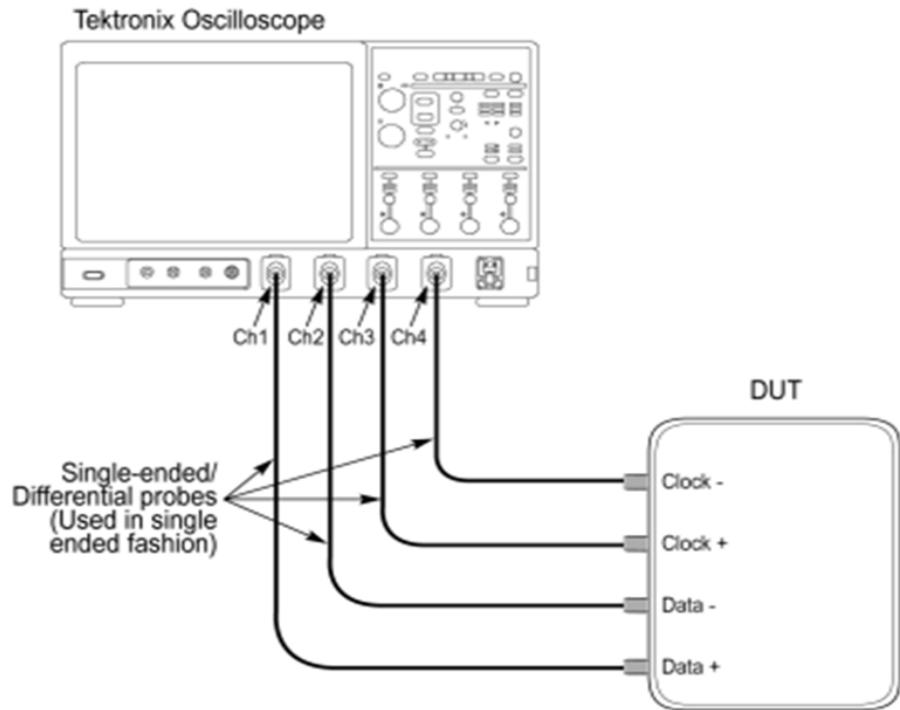
1.4.8	Clock lane HS-TX common-mode voltage mismatch ($\Delta V_{CMTX}(1,0)$)
1.4.9	Clock lane HS-TX dynamic common-level variations between 50-450 MHz ($\Delta V_{CMTX}(LF)$)
1.4.10	Clock lane HS-TX dynamic common-level variations above 450 MHz ($\Delta V_{CMTX}(HF)$)
1.4.11	Clock lane HS-TX 20%-80% rise time (t_R)
1.4.12	Clock lane HS-TX 80%-20% fall time (t_F)
1.4.13	Clock lane HS exit: TCLK-TRAIL value
1.4.14	Clock lane HS exit: 30%-80% Post-EoT rise time (TREOT) value
1.4.15	Clock lane HS exit: TEOT value
1.4.16	Clock lane HS exit: THS-EXIT value
1.4.17	Clock lane HS clock instantaneous (UIINST)
1.4.18	Clock Lane HS Clock Delta UI (ΔUI)
Group 5 tests	HS-TX Clock-to-Data lane timing
1.5.1	HS entry TCLK-PRE value
1.5.2	HS exit TCLK-POST value
1.5.3	HS clock rising edge alignment to first payload bit
1.5.4	Data-to-Clock skew (TSKEW (TX))
1.5.5	Initial HS Skew Calibration Burst (TSKEWCAL-SYNC, TSKEWCAL)
1.5.6	Periodic HS Skew Calibration Burst (TSKEWCAL-SYNC, TSKEWCAL)
Group 6 tests	LP-TX INIT, ULPS and BTA requirements
1.6.1	INIT: LP-TX initialization period (TINIT, MASTER)
1.6.2	ULPS entry: verification of clock lane LP-TX ULPS support
1.6.3	ULPS exit: transmitted TWAKEUP interval
1.6.4	BTA: TX-Side TTA-GO interval value
1.6.5	BTA: RX-Side TTA-SURE interval value
1.6.6	BTA: RX-Side TTA-GET interval value

 测试测量加油站

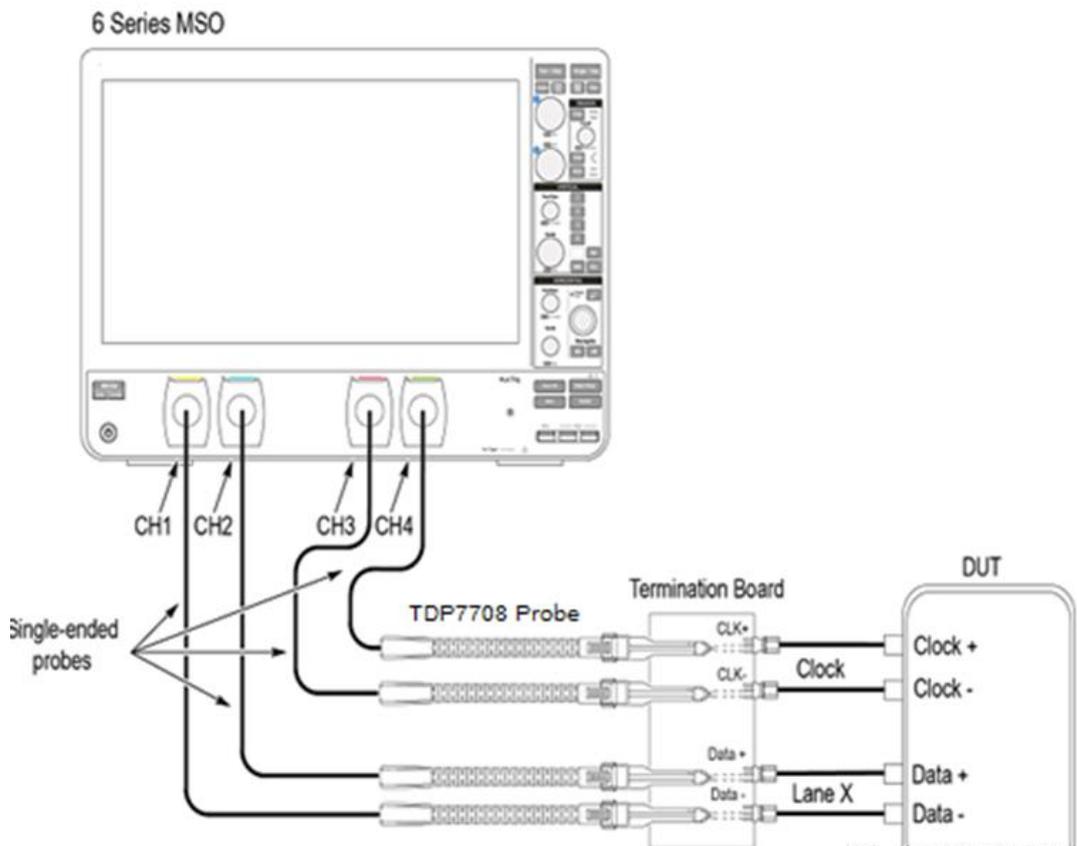
D-PHY Tx 信号测试和连接图

针对 MIPI D-PHY 多条差分总线的测试，需要利用三根或四根探头完成对数据和时钟信号的探测，如果时钟是连续时钟，至少需要三根探头完成探测，如果时钟是 Normal 非连续时钟，需要四根探头完成测试；然后利用 D-PHY Tx 物理层一致性测试软件完成全自动化测试。大多数情况采用左下图的连接方式。待测物是一个完整的系统，里面包含 D-PHY 的 Controller 和 Device，探头在不破坏系统工作状态的情况下，连接待测物并测量信号质量；如果被测的芯片，可能采用右

下图的连接方式，芯片通过评估板来测量信号质量，只有一个 D-PHY controller 芯片和一些外围电路，通过评估板上的 SMA 接头将信号引出。需要在评估板外接一块终端板(Termination Board)来提供 D-PHY 的动态端接，探头连接在端接板上的测试点进行信号观测。

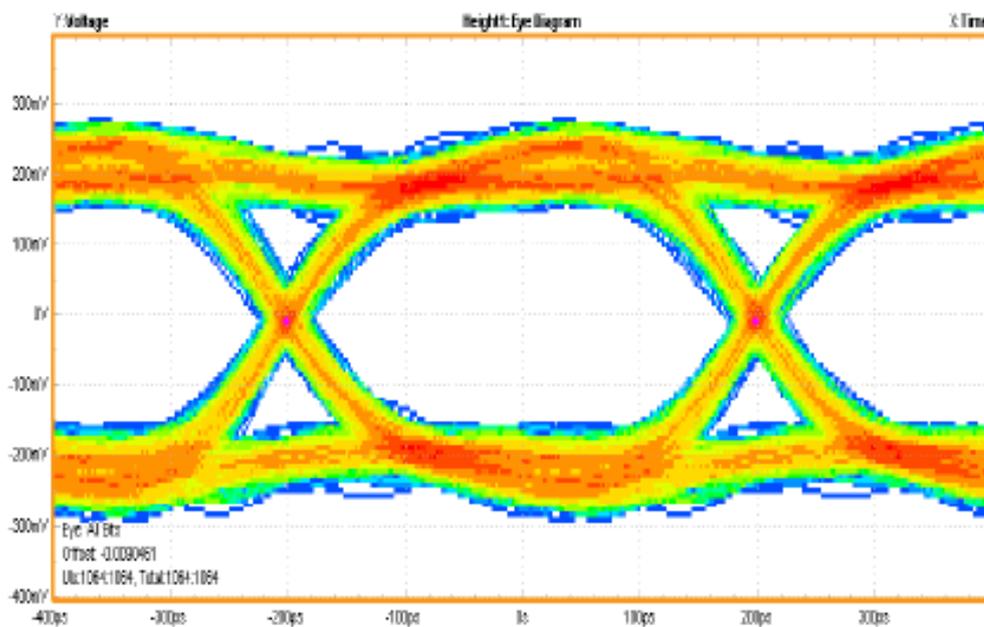


测试测量加油站



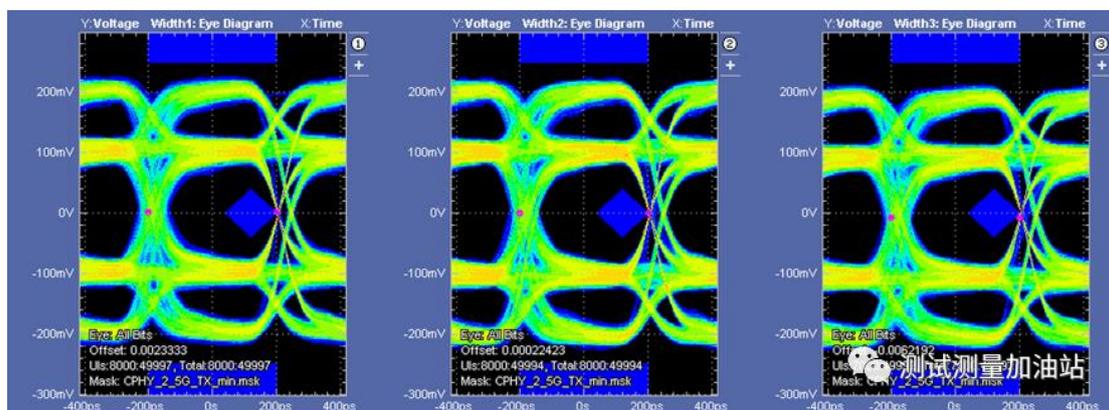
测试测量加油站

D-PHY 实测眼图



Eye Diagram of Test ID 1.5.4 T SKEW(TX) 测试测量加油站

C-PHY 实测眼图



D-PHY Tx 物理层测试参考配置

Item	D-PHY
示波器带宽	建议4GHz带宽或以上（具体参考被测信号数据速率）
软件选件	D-PHY物理层一致性测试软件、抖动眼图分析软件
探头	建议三根(连续时钟)或四根（非连续时钟）
解码软件	D-PHY触发解码软件（根据需求选择）

小结

MIPI D-PHY Tx 物理层信号一致性测试需要利用三根或四根探头完成对数据和时钟信号的探测，然后利用实时示波器和 D-PHY Tx 物理层一致性测试软件完成全自动化测试，提高了测试效率，从而帮助工程师快速验证产品，加速产品市场化的过程。

更多精彩测试干货，关注测试测量加油站



MicroWorld 微世界